

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 59-165462

(43) Date of publication of application : 18.09.1984

(51) Int.Cl. H01L 29/80
H01L 21/20
H01L 21/28

(21) Application number : 58-038167 (71) Applicant : OKI ELECTRIC IND CO LTD

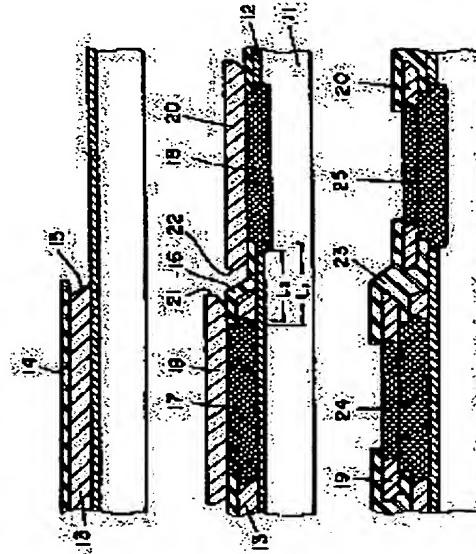
(22) Date of filing : 10.03.1983 (72) Inventor : ISHII YASUHIRO
FUJITA YOSHIMOTO

(54) MANUFACTURE OF COMPOUND SEMICONDUCTOR FIELD EFFECT TRANSISTOR

(57) Abstract:

PURPOSE: To enhance the performance due to increase in a short gate and to simultaneously perform the minimization of a series resistor between a source and a drain by forming a tapered stepwise difference of a semi-insulating layer on a gate electrode region, and forming a lateral growth on the insulating film in a selective epitaxial growth.

CONSTITUTION: An insulating film 14 is formed on a semi-insulating layer 13, a window is opened by etching at a drain side of an insulating film, with the insulating film 14 as a mask the layer 13 is etched, and a tapered stepwise difference 15 of the layer 13 is formed at the boundary. After the film 14 is then removed, an insulating film 16 is again formed on the layer 13 and an N type active layer 12, windows are opened by etching for source and drain electrode regions at the insulating film, with the film 16 as a mask the layer 13 of the source side, the layer 12 of the drain side and a semi-insulating GaAs substrate 11 are partly selectively etched, and selectively laminated layer epitaxial growths of N+ type layers 17, 18 and semi-insulating layers 19, 20 are performed by an MO-CVD method in a dug part. In this selective epitaxial growth, lateral growths 21, 22 are formed on the film 16.



LEGAL STATUS

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
 ⑰ 公開特許公報 (A) 昭59-165462

⑯ Int. Cl. ³ H 01 L 29/80 21/20 21/28	識別記号	府内整理番号 7925-5F 7739-5F 7638-5F	⑮ 公開 昭和59年(1984)9月18日 発明の数 1 審査請求 未請求
---	------	---	---

(全 5 頁)

⑯ 化合物半導体電界効果トランジスタの製造方法

⑰ 特 願 昭58-38167

⑰ 出 願 昭58(1983)3月10日

⑰ 発明者 石井康博

東京都港区虎ノ門1丁目7番12号冲電気工業株式会社内

⑮ 発明者 藤田良基
東京都港区虎ノ門1丁目7番12号冲電気工業株式会社内

⑮ 出願人 沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

⑮ 代理人 弁理士 菊池弘

明細書

1. 発明の名称

化合物半導体電界効果トランジスタの製造方法

2. 特許請求の範囲

半絶縁性化合物半導体基板上にn形活性層と半絶縁性層とを順に設ける工程と、露光描画法によりゲート域に前記半絶縁性層のテープ状段差を形成する工程と、絶縁膜を被覆した後、露光描画法によりソース、ドレイン電極域の絶縁膜を開窓し、該絶縁膜をマスクとしてソースあるいはドレイン側の一方の半絶縁性層、他方側のn形活性層及び半絶縁性化合物半導体基板の一部を選択エッチして、該窓込み部にMO-CVD法によりn⁺層及び半絶縁性層の選択エピタキシャル成長を行ない、ソース・ドレイン間の絶縁膜上に横方向へ拡がる半絶縁性層の横方向成長部を形成する工程と、該横方向成長部をマスクとしてゲート域のテープ状段差にまたがつてゲート電極を蒸着法により形成する工程とを具備することを特徴とする化合物半導体電界効果トランジスタの製造方法。

3. 発明の詳細を説明

(技術分野)

本発明は半導体装置、特に化合物半導体電界効果トランジスタの製造方法に関するものである。
(従来技術)

GaAs等の化合物半導体を基板とする電界効果トランジスタは、超高周波・超高速の信号処理に非常に良好な性能を發揮し得ることが知られており、その高性能化のための基本的事項としては、ゲート長の短縮、ソース・ドレイン間の直列附加抵抗の低減等が重要である。しかしながら、従来は、微細構造のシヨットキ接合ゲート電極の製作、ソース・ドレイン間の短縮、ソース・ドレイン間内のゲート電極の相対位置関係の精度の確保等の製造上の困難な問題があり、電子の製法に全く新規を発想に基づく飛躍が必要であつた。

第1図は、従来の化合物半導体電界効果トランジスタの製造方法の一例を具体的に示したものである。

第1図(a)では、半絶縁性GaAs基板1上にn形

GaAs 活性層 2 及び n⁺形 GaAs導電層（以下 n⁺層という）3 をエピタキシャル成長で積層し、n⁺層 3 の表面に絶縁膜 4 を設け、該絶縁膜 4 にレジスト塗布露光描画法によりショットキ接合ゲート電極を設定するための絶縁膜開窓エッチを行ない、さらに絶縁膜 4 をマスクとして該開窓部の n⁺層 3 の選択エッチを行ない、絶縁膜 4 をマスクとしてシヨットキ接合金属の真空蒸着・リフトオフによりショットキ接合ゲート電極 5 を形成する。第1図(b)では、絶縁膜 4 を除去した後、n⁺層 3 上にオーム性接触のソース電極 6 及びドレイン電極 7 を設ける。以上により電界効果トランジスタが構成される。

しかるに、このよう従来の方法では、次のような重大な欠点がある。すなわち、第1図の方法によるゲート電極のセルフアライメント方式では、ゲート電極のゲート長は絶縁膜 4 の開窓の間隔に等しく、従つてゲート長すなわちゲート電極幅として例えは 0.5 μm 以下の非常に小さい線幅を実現しようとすると、所望の線幅に等しい露光マ

スクの製作と露光描画技術が必須であり、工業的な微細構造ゲート電極の形成において極めて重大な欠点となつてゐる。

また、第1図の方法においては、ゲート電極 5 の直下は均一厚さの n 形活性層（n 形 GaAs 活性層 2）になつており、n 形活性層の中の電子流の制御に関与するゲート長はゲート電極 5 の線幅そのものであり、故にゲート長の短縮にともなう微細加工の制限に加えて、微細線幅のゲート電極に因するゲート抵抗の増大、ゲート電極の機械的な安定性等の障害をもたらしている。

(発明の目的)

本発明は上記の点に鑑みなされたもので、その目的は、n 形活性層上に半絶縁性層のテーパ状段差を設け該テーパ状段差部分にショットキ接合ゲート電極を設けることによる実効的なゲート長の短縮と、選択エピタキシャル成長における絶縁膜上への横方向拡がり成長を適用した極めて微細なゲート電極形成法により、極めて高性能な化合物半導体電界効果トランジスタを得ることができ

る化合物半導体電界効果トランジスタの製造方法を提供することにある。

(実施例)

第2図は、本発明の化合物半導体電界効果トランジスタの製造方法の一実施例を示す図である。この図を参照して本発明の一実施例を詳細に説明する。

第2図(a)の工程では、半絶縁性 GaAs 基板（半絶縁性化合物半導体基板）11 の表面に、n 形 GaAs からなる n 形活性層 12 及び半絶縁性 GaAs からなる半絶縁性層 13 をエピタキシャル成長法で順に設ける。

第2図(b)の工程では、Si₃N_x 等の絶縁膜 14 を半絶縁性層 13 上に設け、通常の露光描画法によりドレイン側を開窓する絶縁膜エッチを行ない、該絶縁膜 14 をマスクとして半絶縁性層 13 をエッチしその境界部分に半絶縁性層 13 のテーパ状段差 15 を設ける。

第2図(c)の工程では、前工程で使用した絶縁膜 14 を除去した後再度絶縁膜 16 を半絶縁性層

13 及び n 形活性層 12 上に設け、露光描画法によりソース、ドレイン電極域を開窓する絶縁膜エッチを行ない、該絶縁膜 16 をマスクとしてソース側の半絶縁性層 13、ドレイン側の n 形活性層 12 及び半絶縁性 GaAs 基板 11 の一部を選択エッチし、該窓込み部に MOCVD 法により n⁺層 17、18 及び半絶縁性層 19、20 の選択積層エピタキシャル成長を行なう。

この工程において、図示の距離 L₁すなわちソース・ドレイン電極間に残された絶縁膜 16 の線幅は、窓込み部形成時の側面エッチの結果生ずる内窓込み部間距離 L₂が実効的なソース・ドレイン間距離 L_dと等しくなるように設定される。また、選択積層エピタキシャル成長においては、n⁺層 17、18 の選択エピタキシャル成長は該成長表面が絶縁膜 16 表面にほど近似する程度の厚さに止め、既に成長反応系への供給ガス流を制御して半絶縁性層 19、20 の選択エピタキシャル成長を実施する。MOCVD 法による化合物半導体のエピタキシャル成長法は、かかる異種導電層

の連続積層成長を制御性よく実施できる点で最も効果的である。この工程における半絶縁性層19, 20の選択エピタキシャルにおいて、本発明の基本的な特徴をなす絶縁膜16上への横方向成長部21, 22を形成する。

第2図(d)の工程では、再度絶縁膜23を設けソース、ドレイン電極部を露光描画・絶縁膜選択エッチにより開窓し、該開窓部の半絶縁性層19, 20の選択堀込みエッチを行ない、該堀込み部にソース、ドレイン電極のためのn⁺層24, 25を選択エピタキシャル成長法で形成する。

第2図(e)の工程では、絶縁膜23を除去した後にレジスト膜26を設けて露光描画により半絶縁性層19, 20の横方向成長部21, 22の周辺以外をレジスト膜26で覆い、ショット埋合ゲート金属の真空蒸着・リフトオフを行ない、ゲート電極27を形成する。この工程で形成されるゲート電極27は、前工程で形成された横方向成長部21, 22間の距離L_s、テーパ状段差15、および基板11面に対するゲート金属蒸着の角度θ_sに

以上の一実施例から明らかなように、本発明の化合物半導体電界効果トランジスタの製造方法の特徴は、ソース・ドレイン間距離相当のマスクを使用して微細細寸法のゲート長を有するゲート電極を、ソース・ドレイン電極に対する相対位置関係を自動的に設定して構成することにあり、素子構造の微細化による高性能化に直接的に大きく貢献するものである。すなわち、本発明は次の二つの基本原理により微細構造を実現するものである。その第1の本発明の特徴的な方法は、MO-CVD法による化合物半導体の選択エピタキシャル成長における絶縁膜上への横方向成長を極めて巧妙に活用したものであり、その基本原理は次のような発明者らによる実験研究結果にもとづくものである。

第3図は、MO-CVD法によるGaAs31の選択エピタキシャル成長における絶縁膜32上への横方向成長の横断面図を示すものであり、(100)面結晶の二つの直交するべき開面の片方の動方向の横断面を同図(a)に、またその方向と30.9°傾

關係して、n形活性層12の平坦部に接触する部分L_sを有し、該部が電界効果トランジスタの特性を支配する実効的なゲート長L_gとなる。

第2図(f)の工程では、ソース、ドレイン電極金属28, 29を真空蒸着法で設け、熱処理を行ないn⁺層24, 25に対するオーム性接觸のソース、ドレイン電極を形成する。以上で化合物半導体電界効果トランジスタが完成する。

なお、以上に詳述した本発明の一実施例において、第2図(b)の工程で絶縁膜14を設けてテーパ状段差形成のエッチを行なつてあるが、絶縁膜14の被覆を省略して露光描画レジストパターンのみでエッチを行なうことも可能である。また、第2図(d)の工程で絶縁膜23をマスクとして半絶縁性層19, 20の選択堀込みエッチ及びn⁺層24, 25の選択エピタキシャル成長を行なつたが、絶縁膜23をマスクとする選択イオン注入法によるn形不純物の注入により開窓部の半絶縁性層19, 20をn⁺層に置換することも可能である。

(発明の特徴・効果)

いた方向での横断面を同図(b)に示し、その形状は母材結晶の単結晶性を極めて忠実に受け継いだ優れた単結晶性のもとに非常に正確な面で構成されることが確認された。このようにひさし状に延びた横方向結晶形状は、本発明におけるゲート電極金属のマスクとしてリフトオフを容易にし、かつゲート電極と半絶縁性層との間に適当な空隙を構成するのに有効である。両横方向成長端間の距離は、MO-CVD法における供給ガス流量、成長温度、成長時間等の成長条件の制御により極めて高精度に設定可能である。

本発明の第2の特徴的な方法は、ゲート電極間にテーパ状段差を設けて実効的なゲート長を更に短縮することにある。電界効果トランジスタにおけるゲート電極によるソース・ドレイン間電流の制御作用は、ゲート電極直下の薄い活性層部分でのゲート電圧による空乏層の拡がりに起因することは周知の理論が示すところであり、従つて本発明によるゲート構造においてゲート電極の制御作用に直接関与する部分は平坦なn形活性層部に接

触する部分 L_1 のみであり、該部は前述の横方向成長部間の距離 L_g より更に狭くすることができる上に、 L_1 及びテーパ状段差の位置が一定のもとでも基板面に対するゲート金属蒸着の角度の設定により微細な調整が可能であり、 L_1 の数分の 1 程度まで微細にすることができる。一方、半絶縁性層のテーパ状段差部に接触しているゲート電極部分は、微細ゲート化にともなうゲート抵抗の増大を防止し、ゲート電極の機械的・構造的を強化に貢献し、素子の高信頼性化、製造歩留りの向上に大いに役立つ。

なお、第 2 図の本発明の一実施例においては、半絶縁性のテーパ状段差をソース側に設けた場合を示したが、同例の左右を反転してテーパ状段差をドレイン側に設けるよう構成することも可能であり、本発明の上述の優れた効果は全く同様である。

以上に詳述した本発明の微細構造化の効果を具体的寸法例で示すと以下のようになる。すなわち、本発明の実施に当つて使用されるマスクの最小線

ゲート長を短縮する効果と、選択エピタキシャル成長における絶縁膜上への特徴的な横方向成長部の形成により、極めて微細なゲート長を実現するものであり、しかも極めて短距離のソース・ドレイン間にゲート電極が自動的に高精度な相対位置関係を確保して設定され、短ゲート長化による高性能化とソース・ドレイン間の直列附加抵抗の最小化を同時に達成し、超高周波低雑音増幅器用素子および超高速集積化素子の性能を飛躍的に向上する優れた効果を有する。

4. 図面の簡単な説明

第 1 図は従来の化合物半導体電界効果トランジスタの製造方法の一例を具体的に示す断面図、第 2 図は本発明の化合物半導体電界効果トランジスタの製造方法の一実施例を示す断面図、第 3 図は MO-CVD 法による GaAs の選択エピタキシャル成長における絶縁膜上への横方向成長の状態を示す断面図である。

1 1 … 半絶縁性 GaAs 基板、1 2 … n 形活性層、
1 3 … 半絶縁性層、1 5 … テーパ状段差、1 6 …

幅 (L_1) は、ゲート長 (L_g) よりは大きいことは勿論のこと、ソース・ドレイン間距離 (L_{sd}) よりも更に広い範囲に相当している ($L_1 > L_{sd} = L_2 > L_g$)。微細構造のマスクの製作および露光掩蔽技術は範囲の減少とともに加速度的に困難性が増大する傾向にあり、その工業的な限界を $1 \mu\text{m}$ とする。従来のように最小線幅がゲート長に相当する場合 ($L_1 = L_g$) の短ゲート化の限界は $1 \mu\text{m}$ 程度となる。これに対して本発明の一実施例においては、 $L_1 = 1.0 \mu\text{m}$ のマスクを使用して、n 形活性層の選択エッチの側面エッチ量を $0.15 \mu\text{m}$ 、選択エピタキシャル成長の横方向成長を $0.3 \mu\text{m}$ に設定し、テーパ状段差による実効的なゲート長の短縮を $\frac{1}{2}$ IC 設定すると、 $L_g (= L_1) = 0.2 \mu\text{m}$ 、 $L_{sd} = 0.7 \mu\text{m}$ の極めて微細構造の電界効果トランジスタが製造される。

(発明の説明のまとめ)

以上に詳述したように、本発明の化合物半導体電界効果トランジスタの製造方法は、ゲート電極域に半絶縁性層のテーパ状段差を設けて実効的な

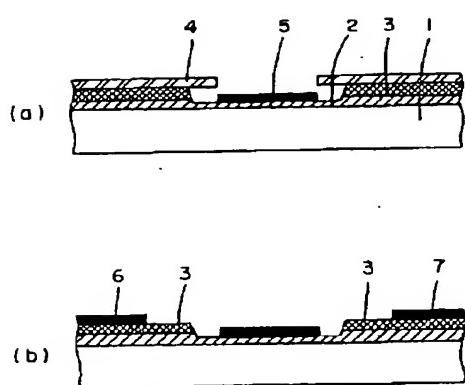
絶縁膜、1 7、1 8 … n+ 層、1 9、2 0 … 半絶縁性層、2 1、2 2 … 横方向成長部、2 7 … ゲート電極。

特許出願人 沖電気工業株式会社

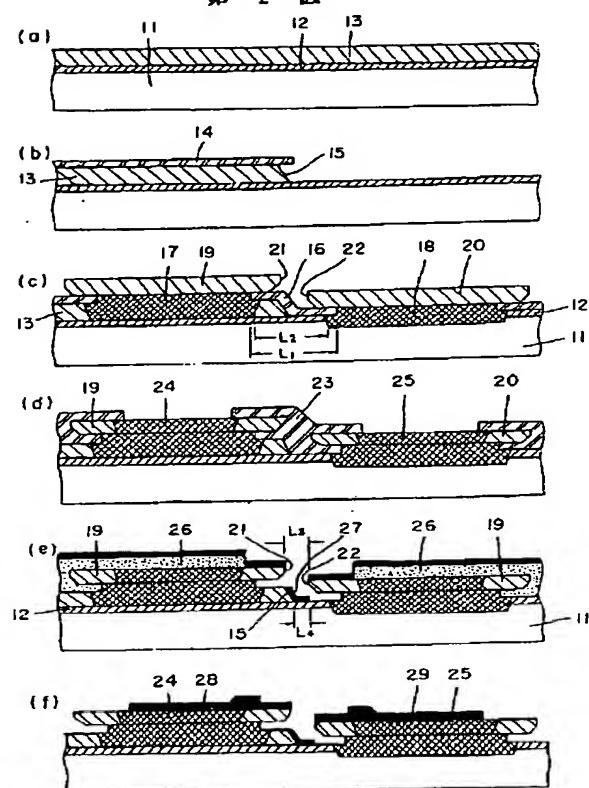
代理人 弁理士 第一池



第 1 図



第 2 図



第 3 図

